

CLIPPEDIMAGE= JP404367954A
PAT-NO: JP404367954A
DOCUMENT-IDENTIFIER: JP 04367954 A
TITLE: CACHE MEMORY CONTROL CIRCUIT

PUBN-DATE: December 21, 1992

INVENTOR-INFORMATION:

NAME

KUROKAWA, MAKOTO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

N/A

APPL-NO: JP03144364

APPL-DATE: June 17, 1991

INT-CL_(IPC): G06F012/08; G06F012/08

ABSTRACT:

PURPOSE: To facilitate the development of a program whose cache hit ratio is high, in the case of the development of a software.

CONSTITUTION: From a CPU 1, a signal for deciding definitely a fact to be a bus cycle is fetched to a CPU bus access counter 5 to count. Also, from a signal outputted to a cache memory 3 from a cache memory control part 4, a signal for deciding definitely a fact to be a cache hit cycle is fetched to a cache hit counter 6 to count. Count values by the CPU bus access counter 5 and the cache hit counter 6 are fetched periodically to a cache hit ratio arithmetic part 7, and the result of operation of the cache hit ratio arithmetic part 7 is outputted periodically to a display part 8.

COPYRIGHT: (C)1992,JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-367954

(43) 公開日 平成4年(1992)12月21日

(51) Int.Cl.⁵

G 0 6 F 12/08

識別記号

庁内整理番号

F I

技術表示箇所

S 7232-5B

3 1 0 Z 7232-5B

審査請求 未請求 請求項の数2(全 2 頁)

(21) 出願番号 特願平3-144364

(22) 出願日 平成3年(1991)6月17日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 黒川 誠

東京都港区芝五丁目7番1号日本電気株式

会社内

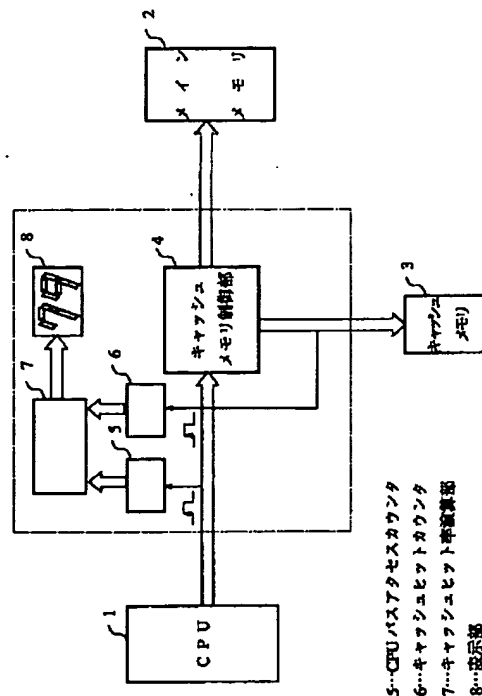
(74) 代理人 弁理士 内原 晋

(54) 【発明の名称】 キャッシュメモリコントロール回路

(57) 【要約】

【構成】 CPU 1よりバスサイクルであることを確定するための信号をCPUバスアクセスカウンタ5に取り込みカウントする。またキャッシュメモリ制御部4より、キャッシュメモリ3に出力される信号よりキャッシュヒットサイクルであることを確定する信号をキャッシュヒットカウンタ6に取り込みカウントを行なう。CPUバスアクセスカウンタ5、キャッシュヒットカウンタ6によるカウント値を定期的にキャッシュヒット率演算部7に取り込み、キャッシュヒット率演算部7の演算結果を表示部8に定期的に出力する。

【効果】 ソフトウェア開発者はキャッシュヒット率の高いプログラムの開発が容易になる。



1

2

【特許請求の範囲】

【請求項1】 CPUのキャッシュメモリヒット率を計算し、表示する回路を具備することを特徴とするキャッシュメモリコントロール回路。

【請求項2】 前記表示する回路がLEDであることを特徴とする請求項1記載のキャッシュメモリコントロール回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はキャッシュメモリコントロール回路に関し、特に、端末などにおけるキャッシュメモリを制御するキャッシュメモリコントロール回路に関する。

【0002】

【従来の技術】 従来、この種のキャッシュメモリコントロール回路には、CPUのキャッシュメモリアクセスの割合を示す回路を有していない。

【0003】

【発明が解決しようとする課題】 上述した従来のキャッシュメモリコントロール回路による端末において、使用者は、プログラム実行時のキャッシュヒット率を正確に知ることは不可能であり、キャッシュヒット率の高いソフトウェアの開発が困難という欠点がある。

【0004】

【課題を解決するための手段】 本発明のキャッシュメモリコントロール回路は、CPUのキャッシュメモリヒット率を計算し、表示する回路を具備することを特徴とする。

【0005】

【実施例】 次に、本発明について図面を参照して説明す

る。

【0006】 図1は本発明の一実施例のブロック図である。CPU1よりバスサイクルであることを確定するための信号をCPUバスアクセスカウンタ5に取り込みカウントする。またキャッシュメモリ制御部4より、キャッシュメモリに出力される信号よりキャッシュヒットサイクルであることを確定する信号をキャッシュヒットカウンタ6に取り込みカウントを行なう。CPUバスアクセスカウンタ5、キャッシュヒットカウンタ6によるカウント値を定期的にキャッシュヒット率演算部7に取り込み、キャッシュヒット率演算部7の演算結果を表示部8に定期的に出力する。

【0007】

【発明の効果】 以上説明したように、本発明は、CPUのキャッシュメモリへのヒット率をハードウェアによりカウントし、表示することにより、ソフトウェア開発者はキャッシュヒット率の高いプログラムの開発が容易になるという効果を奏する。

【図面の簡単な説明】

【図1】 本発明の一実施例のブロック図である。

【符号の説明】

- 1 CPU
- 2 メインメモリ
- 3 キャッシュメモリ
- 4 キャッシュメモリ制御部
- 5 CPUバスアクセスカウンタ
- 6 キャッシュヒットカウンタ
- 7 キャッシュヒット率演算部
- 8 表示部

【図1】

